



IPC-6012E-DE

# Qualifikation und Leistungsspezifikation für starre Leiterplatten

If a conflict occurs between the English and translated versions of this document, the English version will take precedence.

Im Falle eines Konfliktes zwischen der englischsprachigen und einer übersetzten Version dieses Dokumentes hat die englischsprachige Version den Vorrang.

Entwickelt durch die Rigid Printed Board Performance Specifications Task Group (D-33a) des Rigid Printed Board Committee (D-30) des IPC

**Übersetzt durch:**

Tech.TransLat Roman Meier,  
[www.techtranslat.de](http://www.techtranslat.de)

**Ersetzt:**

IPC-6012D – September 2015  
IPC-6012C – April 2010  
IPC-6012B mit  
Ergänzung 1 – Juli 2007  
IPC-6012B – August 2004  
IPC-6012A mit  
Ergänzung 1 – Juli 2000  
IPC-6012A – Oktober 1999  
IPC-6012 – Juli 1996  
IPC-RB-276 – März 1992

Die Anwender dieser Richtlinie sind aufgefordert, an der Entwicklung künftiger Versionen mitzuarbeiten.

Kontakt:

IPC

# Inhaltsverzeichnis

<b>1 ANWENDUNGSBEREICH</b> .....	1	3.2.8 Polymerbeschichtung (Lötstopmmaske) .....	15
1.1 Erläuterung zum Anwendungsbereich .....	1	3.2.9 Umschmelzflüssigkeiten und Flussmittel .....	15
1.2 Zweck .....	1	3.2.10 Bezeichnungsdruckfarben .....	15
1.2.1 Ergänzende Dokumentation .....	1	3.2.11 Isoliermaterial zur Lochverfüllung .....	15
1.3 Leistungsklassifikation und Typ .....	1	3.2.12 Wärmeableitungsebenen, Außenlage .....	15
1.3.1 Klassifikation .....	1	3.2.13 Schutz von Verbindungslöchern .....	15
1.3.2 Leiterplattentyp .....	1	3.2.14 Eingebettete, passive Materialien .....	15
1.3.3 Auswahl für die Beschaffung .....	1	3.3 Sichtkontrolle .....	15
1.3.4 Material, Metallisierungsprozess und Endoberfläche .....	3	3.3.1 Kanten .....	15
1.4 Fachbegriffe und Definitionen .....	4	3.3.2 Laminatfehlstellen .....	16
1.4.1 Kontrollierte Tiefenbohrung [Back-Drilling] .....	4	3.3.3 Metallisierungs- und Beschichtungs- fehlstellen im Loch .....	17
1.4.2 Stichleitung [Stub] (Metallisiertes Loch) .....	5	3.3.4 Abgehobene Anschlussflächen .....	17
1.4.3 Hochdichte Verbindungen (HDI) .....	5	3.3.5 Kennzeichnung .....	17
1.4.4 Microvia .....	5	3.3.6 Lötbarkeit .....	18
1.4.5 Konstruktionsdaten .....	5	3.3.7 Metallisierungs-Haftfestigkeit .....	18
1.5 Interpretation .....	5	3.3.8 Leiterplatten-Direktsteckerkontakt, Über- gang Vergoldung zur Löt-Endoberfläche .....	18
1.6 Maßangaben .....	5	3.3.9 Löcher mit Tiefenbohrung .....	19
1.7 Schutz der Konstruktionsdaten .....	5	3.3.10 Verarbeitungsgüte .....	19
1.8 Revisionsänderungen .....	5	3.4 Anforderungen an Leiterplattenmaße .....	19
<b>2 ANWENDBARE DOKUMENTE</b> .....	6	3.4.1 Lochgröße, Lochbildgenauigkeit und Leiterbildgenauigkeit .....	19
2.1 IPC .....	6	3.4.2 Restring und Lötrandunterbrechung (Außenlagen) .....	20
2.2 Joint Industry Standards .....	8	3.4.3 Wölbung und Verwindung .....	22
2.3 Federal .....	8	3.5 Leiterdefinition .....	22
2.4 Sonstige Veröffentlichungen .....	8	3.5.1 Leiterbreite und -dicke .....	22
2.4.1 American Society for Testing and Materials .....	8	3.5.2 Leiterabstand .....	22
2.4.2 Underwriters Lab .....	8	3.5.3 Leiterfehler .....	22
2.4.3 National Electrical Manufacturers Association .....	8	3.5.4 Leitfähige Oberflächen .....	22
2.4.4 American Society for Quality .....	8	3.6 Strukturelle Integrität .....	25
2.4.5 AMS .....	8	3.6.1 Thermischer Stresstest .....	25
2.4.6 American Society of Mechanical Engineers .....	8	3.6.2 Anforderungen an Testcoupons oder Pro- duktionsleiterplatten mit Schliffprüfung .....	27
<b>3 ANFORDERUNGEN</b> .....	9	3.7 Anforderungen an die Lötstopmmaske .....	42
3.1 Allgemeines .....	9	3.7.1 Lötstoppmasken-Abdeckung .....	42
3.2 Materialien .....	9	3.7.2 Aushärtung und Haftfestigkeit der Lötstopmmaske .....	43
3.2.1 Laminate und Verbundmaterial .....	9	3.7.3 Lötstoppmaskendicke .....	43
3.2.2 Kleber für externe Materialien .....	9	3.8 Elektrische Anforderungen .....	43
3.2.3 Andere dielektrische Materialien .....	9	3.8.1 Durchschlagspannung des Dielektrikums .....	43
3.2.4 Metallfolien .....	9	3.8.2 Elektrischer Durchgang und Isolations- widerstand .....	44
3.2.5 Metallflächen/Metallkerne .....	9		
3.2.6 Abscheidung von Basismetall und leitfähigen Beschichtungen .....	9		
3.2.7 Metallische und nicht-metallische Abscheidun- gen von Endoberflächen und Beschichtungen ..	10		

3.8.3	Kurzschlüsse des Leiterbildes/der metallisierten Löcher mit Metallsubstraten .....	44	<b>ANHANG A</b> .....	55
3.8.4	Feuchte und Isolationswiderstand .....	44		
3.9	Reinheit .....	44		
3.9.1	Reinheit vor der Aufbringung der Lötstopmmaske .....	44		
3.9.2	Reinheit nach der Aufbringung der Lötstopmmaske, des Lots oder alternativer Oberflächenbeschichtungen .....	45		
3.9.3	Reinheit der Innenlagen nach der Oxidationsbehandlung vor der Laminierung .....	45		
3.10	Spezielle Anforderungen .....	45		
3.10.1	Ausgasen .....	45		
3.10.2	Pilzresistenz .....	45		
3.10.3	Vibration .....	45		
3.10.4	Mechanische Erschütterung .....	45		
3.10.5	Impedanzprüfung .....	45		
3.10.6	Thermischer Ausdehnungskoeffizient (coefficient of thermal expansion CTE) .....	45		
3.10.7	Thermischer Schock .....	46		
3.10.8	Oberflächenisoliationswiderstand (Im Anlieferungszustand) .....	46		
3.10.9	Metallkern (horizontale Schliffprobe) .....	46		
3.10.10	Nacharbeitssimulation .....	46		
3.10.11	Haftfestigkeit, Anschlussflächen nicht-metallisierter Bauteilanschlusslöcher .....	46		
3.10.12	Zerstörende physikalische Analyse .....	46		
3.10.13	Anforderungen an die Haftfestigkeit (nur bei folienlaminieren Designs) .....	46		
3.10.14	Schutz der Designdaten .....	46		
3.10.15	Leistungsbasierte Prüfung für Microvia-Strukturen – Strukturelle Integrität bei thermischem Stress .....	47		
3.11	Reparatur .....	47		
3.11.1	Schaltungsreparaturen .....	47		
3.12	Nacharbeit .....	47		
<b>4</b>	<b>QUALITÄTSSICHERUNGSMASSNAHMEN</b> .....	47		
4.1	Allgemeines .....	47		
4.1.1	Qualifikation .....	47		
4.1.2	Muster-Testcoupons .....	47		
4.2	Annahmeprüfungen .....	48		
4.2.1	C=0 Null-Fehler-Anzahl Probenplan .....	48		
4.2.2	Verifizierungsprüfungen .....	48		
4.3	Qualitätskonformitätsprüfung .....	48		
4.3.1	Auswahl der Testcoupons .....	49		
<b>5</b>	<b>HINWEISE</b> .....	54		
5.1	Bestelldaten .....	54		
5.2	Abgelöste Spezifikationen .....	54		
			<b>Bilder</b>	
Bild 1-1	Beispiel eines Lochs mit Tiefenbohrung (nicht maßstabsgerecht) .....	4		
Bild 1-2	Beispiel einer flachen Tiefenbohrung .....	4		
Bild 1-3	Definition eines Microvias .....	5		
Bild 3-1	Restringsmessung (Außenlage) .....	21		
Bild 3-2	Löttrandunterbrechung mit 90° und 180° .....	21		
Bild 3-3	Leiter-Breitenreduzierung (Außenlage) .....	21		
Bild 3-4	Beispiel einer zwischenliegenden Microvia-Ziel-Anschlussfläche .....	21		
Bild 3-5	Rechteckige Anschlussfläche für Oberflächenmontage .....	23		
Bild 3-6	Runde Anschlussfläche für Oberflächenmontage .....	23		
Bild 3-7	Anschlussflächen für Leiterplatten-Direktstecker .....	24		
Bild 3-8	Toleranz bei (geschliffenen/polierten) Schliffbildern metallisierter Löcher .....	26		
Bild 3-9	Beispiel einer Ablösung der Metallisierung bei der Ziel-Anschlussfläche .....	26		
Bild 3-10	Definition der Kupferriss-Typen <sup>7</sup> .....	29		
Bild 3-11	Separationen an Außenlagenfolien .....	29		
Bild 3-12	Metallisierungsfalten/Einschlüsse – Messpunkte für Mindestwerte .....	29		
Bild 3-13	Bewertung der Laminatmerkmale bei Schliffbildern <sup>4</sup> .....	30		
Bild 3-14	Messung der Rückätzung .....	30		
Bild 3-15	Messung der Entfernung (removal) dielektrischen Materials .....	31		
Bild 3-16	Messung der negativen Rückätzung .....	31		
Bild 3-17	Restringsmessung (Innenlage) .....	32		
Bild 3-18	Schliffrotationen zur Erkennung von Löttrandunterbrechungen .....	32		
Bild 3-19	Vergleich von Schliffrotationen .....	32		
Bild 3-20	Beispiel einer nicht-konformen Verringerung des dielektrischen Abstands durch eine Löttrandunterbrechung bei der Ziel-Anschlussfläche des Microvias .....	33		
Bild 3-21	Messung der Oberflächen-Kupfer-Schultermetallisierung bei gefüllten Löchern (über der Folie) .....	33		
Bild 3-22	Messung der Oberflächen-Kupfer-Schultermetallisierung bei gefüllten Löchern (über dem Laminat) .....	34		
Bild 3-23	Messung der Oberflächen-Kupfer-Schultermetallisierung bei nicht-gefüllten Löchern .....	34		
Bild 3-24	Kupfer-Schultermetallisierung (zulässig) .....	34		
Bild 3-25	Kupfer-Schultermetallisierung wurde durch übermäßiges Schleifen/Einebnen/Ätzen entfernt (unzulässig) .....	35		
Bild 3-26	Dicke der Kupfer-Deckfläche .....	36		
Bild 3-27	Höhe der Kupfer-Deckfläche auf gefülltem Verbindungsloch (Hügel) .....	36		

Bild 3-28	Delle in der Kupfer-Deckfläche.....	36	Tabelle 3-1	Metallflächen/Metallkerne.....	9
Bild 3-29	Fehlstellen in der Kupfer- Deckflächenmetallisierung.....	36	Tabelle 3-2	Obergrenzen der Zinn/Blei- Lotbadverunreinigung .....	11
Bild 3-30	Nichtkonforme Füllung des Verbindungslochs (Fehler) zwischen den Kupfer-Deckflächenmetallisierungen.....	36	Tabelle 3-3	Anforderungen an die Endoberfläche und an Schutzbeschichtungen .....	13
Bild 3-31	Zulässige Füllung des Verbindungslochs zwischen den Kupfer-Deckflächenmetallisierungen.....	36	Tabelle 3-4	Mindestanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei nicht-durchgehenden Verbindungslöchern über mehr als 2 Lagen, Verbindungslöchern und Sacklöchern <sup>1</sup> .....	14
Bild 3-32	Beispiel einer zulässigen Fehlstelle bei einer kupfergefüllten Microvia mit Deckflächenmetallisierung.....	37	Tabelle 3-5	Mindestanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei Microvias (Sacklöcher und nicht-durchgehende Verbindungslöcher) <sup>1</sup> .....	14
Bild 3-33	Beispiel einer zulässigen Fehlstelle bei einer kupfergefüllten Microvia ohne Deckflächenmetallisierung.....	37	Tabelle 3-6	Mindestanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei Kernen für nicht-durchgehende Verbindungslöcher über genau 2 Lagen <sup>1</sup> .....	14
Bild 3-34	Beispiel einer nicht-zulässigen Fehlstelle (Fehler) bei einer kupfergefüllten Microvia mit Deckflächenmetallisierung.....	37	Tabelle 3-7	Metallisierungs- und Beschichtungsfehlstellen im Loch.....	17
Bild 3-35	Beispiel einer nicht-zulässigen Fehlstelle (Fehler) bei einer kupfergefüllten Microvia .....	37	Tabelle 3-8	Lücke an Leiterplatten-Direktsteckerkontakten.....	19
Bild 3-36	Microvia-Kontaktabmessung .....	38	Tabelle 3-9	Mindest-Restring <sup>1,2</sup> .....	20
Bild 3-37	Ausschluss der Separationen bei den Kontaktabmessungen der Microvia-Ziel-Anschlussfläche .....	38	Tabelle 3-10	Unversehrtheit metallisierter Löcher nach Stressbehandlung .....	28
Bild 3-38	Unbeabsichtigte Durchdringung der Microvia-Ziel-Anschlussfläche (lasergebohrt) .....	39	Tabelle 3-11	Anforderungen an die Deckflächenmetallisierung bei gefüllten Löchern .....	35
Bild 3-39	Vorgesehene Durchdringung der Microvia-Ziel-Anschlussfläche (mechanisch gebohrt <sup>2</sup> ) ....	39	Tabelle 3-12	Microvia-Kontaktabmessung (lasergebohrt).....	38
Bild 3-40	Überhang.....	40	Tabelle 3-13	Microvia-Kontaktabmessung (mechanisch gebohrt) .....	38
Bild 3-41	Abstand zwischen Metallkern und metallisiertem Loch .....	40	Tabelle 3-14	Innenlagen-Foliendicke nach der Bearbeitung <sup>1</sup> .....	39
Bild 3-42	Messung des dielektrischen Mindestabstands .....	41	Tabelle 3-15	Dicke von Außenlagen-Leitern nach der Metallisierung .....	40
Bild 3-43	Füllmaterial in Sacklöchern/Verbindungslöchern, wenn keine Deckflächenmetallisierung spezifiziert ist.....	41	Tabelle 3-16	Haftfestigkeit der Lötstopmmaske .....	43
Bild 3-44	Fehlstelle im Füllmaterial an der Grenzfläche zur Lochwand.....	41	Tabelle 3-17	Durchschlagsspannung des Dielektrikums .....	44
			Tabelle 3-18	Isolationswiderstand .....	44
			Tabelle 4-1	Qualifikationstestcoupons.....	48
			Tabelle 4-2	C=0 Probenplan nach Losgrößen <sup>1</sup> .....	49
Tabelle 1-1	Technologiezusätze .....	2	Tabelle 4-3	Annahmeproofung und Prüfhäufigkeit.....	50
Tabelle 1-2	Standardanforderungen .....	3	Tabelle 4-4	Qualitätskonformitätsprüfung <sup>1</sup> .....	54

### Tabellen

Tabelle 1-1	Technologiezusätze .....	2	Tabelle 4-1	Qualifikationstestcoupons.....	48
Tabelle 1-2	Standardanforderungen .....	3	Tabelle 4-2	C=0 Probenplan nach Losgrößen <sup>1</sup> .....	49
			Tabelle 4-3	Annahmeproofung und Prüfhäufigkeit.....	50
			Tabelle 4-4	Qualitätskonformitätsprüfung <sup>1</sup> .....	54

# Qualifikation und Leistungsspezifikation für starre Leiterplatten

## 1 ANWENDUNGSBEREICH

**1.1 Erläuterung zum Anwendungsbereich** Diese Spezifikation legt die Anforderungen an die Qualifikation und Leistungsspezifikation für die Herstellung starrer Leiterplatten fest.

**1.2 Zweck** Der Zweck dieser Spezifikation ist es, Anforderungen an die Qualifikation und Leistung starrer Leiterplatten auf der Grundlage folgender Aufbauten und/oder Technologien zu liefern. Diese Anforderungen gelten für das fertige Produkt, soweit nicht anderweitig spezifiziert:

- Ein- oder zweiseitige Leiterplatten mit oder ohne durchmetallisierte(n) Löcher(n) (PTHs).
- Multilayer-Leiterplatten mit durchmetallisierten Löchern mit oder ohne nicht-durchgehende(n) Verbindungslöcher(n)/Sacklöcher(n)/Microvias.
- Leiterplatten mit eingebetteten aktiven/passiven Schaltungen mit kapazitiven Ebenen (verteilte Kapazität) und/oder kapazitiven oder resistiven Bauteilen.
- Leiterplatten mit Metallkern mit oder ohne aktiver oder passiver externe(r) metallische(r) Wärmesenke.

**1.2.1 Ergänzende Dokumentation** Die Richtlinie IPC-A-600 enthält Zeichnungen, Illustrationen und Fotografien, die der Veranschaulichung der auf Außen- und Innenlagen beobachtbaren, zulässigen oder fehlerhaften Zustände dienen. Sie kann gemeinsam mit dieser Spezifikation genutzt werden, um die Empfehlungen und Anforderungen umfassender und leichter verstehen zu können.

### 1.3 Leistungsklassifikation und Typ

**1.3.1 Klassifikation** Diese Spezifikation legt die Abnahmekriterien für die Leistungsklassifikation starrer Leiterplatten auf der Grundlage von Kundenanforderungen und/oder Anforderungen der Endanwendung fest. Die Leiterplatten werden durch eine von drei allgemeinen Leistungsklassen entsprechend IPC-6011 klassifiziert.

**1.3.1.1 Abweichungen von Anforderungen** Anforderungen, die von den Spezifikationen dieser Richtlinie abweichen, **müssen** den Vereinbarungen zwischen Anwender und Lieferant entsprechen (AABUS).

**1.3.1.2 Abweichende Anforderungen für die Raumfahrt** Abweichungen bei der Leistungsklassifikation für die Raumfahrt sind in der Ergänzung IPC-6012ES definiert und gelten, wenn diese Ergänzung in der Beschaffungsdokumentation spezifiziert wurde.

**1.3.2 Leiterplattentyp** Leiterplatten ohne durchmetallisierte Löcher (Typ 1) und mit durchmetallisierten Löchern (Typen 2-6) werden wie folgt klassifiziert und können Technologiezusätze (siehe Tabelle 1-1) beinhalten:

*Typ 1 — Einseitige Leiterplatte*

*Typ 2 — Doppelseitige Leiterplatte*

*Typ 3 — Multilayer-Leiterplatte ohne Sacklöcher oder nicht-durchgehende Verbindungslöcher*

*Typ 4 — Multilayer-Leiterplatte mit Sacklöchern und/oder nicht-durchgehenden Verbindungslöchern (kann Microvias enthalten)*

*Typ 5 — Multilayer-Metallkernleiterplatte ohne Sacklöcher oder nicht-durchgehende Verbindungslöcher*

*Typ 6 — Multilayer-Metallkernleiterplatte mit Sacklöchern und/oder nicht-durchgehenden Verbindungslöchern (kann Microvias enthalten)*

**1.3.3 Auswahl für die Beschaffung** Die Leistungsklasse **muss** in der Beschaffungsdokumentation spezifiziert werden.

Die Beschaffungsdokumentation **muss** ausreichend Informationen für die Herstellung der Leiterplatte zur Verfügung stellen und sicherstellen, dass der Anwender das gewünschte Produkt erhält. Die Informationen, die in der Beschaffungsdokumentation enthalten sein sollten, müssen IPC-2611 und IPC-2614 entsprechen.